

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

(11)特許出願公開番号

(43)公開日 平成10年(1998)11月24日

審査請求 未請求 請求項の数15 OL 外国語出願 (全 39 頁)

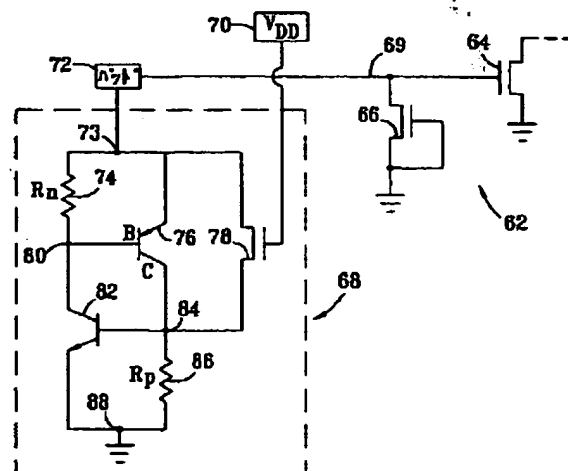
(71)出願人 5900000879  
 テキサス インストルメンツ インコーポ  
 レイテッド  
 アメリカ合衆国テキサス州ダラス、ノース  
 セントラルエクスプレスウェイ 13500

(72)発明者 ジュリアン ジライング チェン  
 アメリカ合衆国 テキサス州ダラス、バイ  
 ンランド ドライブ 5759, ナンバー  
 1066

(72)発明者 トマス エイ. プロトソス  
 アメリカ合衆国 テキサス州リチャードソ  
 ン, アシュランド ドライブ 1201

(74)代理人 弁理士 浅村 皓 (外3名)

**最終頁に続く**



**THIS PAGE BLANK (USPTO)**

Requested Patent: JP10313110A

Title:

LAMINATED SCR ESP PROTECTION WITH HOLDING VOLTAGE ADJUSTABLE TO  
LOW TRIGGER VOLTAGE ;

Abstracted Patent: JP10313110 ;

Publication Date: 1998-11-24 ;

Inventor(s): JULIAN ZILLAING CHEN; VROTSOS THOMAS A; WAYNE T CHEN ;

Applicant(s): TEXAS INSTR INC It,Tlgt ;

Application Number: JP19970370152 19971222 ;

Priority Number(s): ;

IPC Classification: H01L29/74 ; H02H7/20 ; H02H9/04 ;

Equivalents: TW385534

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an SCR automatically adjusting to the trigger voltage level responding to an impressed power for protecting ESD(electrostatic discharge).

SOLUTION: The trigger voltage of an SCR 68 is decided by the threshold value voltage of an enhansment type P-channel transistor 78, when an integrated circuit 62 is not impressed with the operational voltage, while by the operational voltage and the threshold value voltage of this transistor 78, when the integrated circuit 62 is impressed with the operating voltage. At this time, the pair of transistors 76, 80 of PNP and NPN forming the SCR are latched up to ground the protected signal path 69 for lowering the voltage impressed for the grounding down to the level not exceeding the holding voltage of the SCR 68. When a plurality of SCRs are connected in series, the overall holding voltage is almost equivalent to the total holding voltage of individual SCRs, exceeding the trigger voltage. Moreover, the SCR 68 is arranged in an N tank, to be separated from the P-substrate by a P-N junction.

## 【特許請求の範囲】

【請求項1】 過剰な電圧が、信号線を通して被保護回路に印可されるのを防ぐための保護回路であって：アノードおよびカソードを有する、少なくともひとつのSCR構成中に構成される、NPNトランジスタおよびPNPトランジスタを少なくとも有するラッチであって、そのアノードは、前記信号線に接続され、そのカソードは接地参照電位に接続され、一旦ラッチすると、電圧が前記ラッチと関連する保持電圧よりも下がるとき、解放するラッチ；および前記ラッチをトリガーするためのトリガー機構であって、このトリガー機構は、前記ラッチの前記アノードから分離する電圧に接続される、トリガー電圧によって動作するトリガー機構からなる保護回路。

【請求項2】 前記トリガー電圧が、前記被保護回路の動作電力供給電圧からなる、請求項1に記載の保護回路。

【請求項3】 前記保持電圧が、前記トリガー電圧よりも大きい、請求項1に記載の保護回路。

【請求項4】 前記保持電圧は、少なくとも2つの直列に接続されたSCRを用いることによって調整可能であり、それらSCRの各々は、SCR構成において構成されるNPNトランジスタおよびPNPトランジスタを、少なくとも有している、請求項1に記載の保護回路。

【請求項5】 過剰電圧が、信号線を通して被保護回路に印可されることを防止するための、保護回路であって：前記信号線に接続されるアノード；接地参照電位に接続されるカソード；前記アノードに接続されるソース、および、前記信号線の電圧から分離されるトリガー電圧に接続されるゲートを有するPチャンネル・トランジスタ；ベース、前記アノード線および前記Pチャンネル・トランジスタのソースの双方に接続されるエミッタを有し、また更に前記Pチャンネル・トランジスタのドレインに接続されるコレクタを有するPNPトランジスタ；前記カソードに接続されるエミッタ、前記PNPトランジスタのコレクタ、および前記Pチャンネル・トランジスタのドレインに接続されるベース、および、前記PNPトランジスタのベースに接続されるコレクタを有するNPNトランジスタ；前記アノードと、前記PNPトランジスタのベースおよび前記NPNトランジスタのコレクタとの間に接続される第1の抵抗；前記カソードと、前記PNPトランジスタのコレクタ、前記Pチャンネル・トランジスタのドレインおよび前記NPNトランジスタのベースとの間に接続される第2の抵抗であって、前記PNPおよびNPNトランジスタおよび前記第1および第2の抵抗で、SCRとしての構成がなされる、第2の抵抗；からなり、かつ前記Pチャンネル・トランジスタは、前記第2の抵抗を通して電流を流し、前記NPNトランジスタのベースの電圧を増大させ、それによって、前記NPNトランジスタをオンにして、前記PNPトランジスタのベースを低く引っ張り、前記PN

Pトランジスタをオンにして、前記SCRをラッチする保護回路。

【請求項6】 前記Pチャンネル・トランジスタのゲートが、前記被保護回路の動作電圧端子に接続されている、請求項5に記載の保護回路。

【請求項7】 前記保護回路は、集積回路の一部として形成され、Nタンク内に含まれており、そのNタンクは、P形基板内に配置され、前記保護回路を前記集積回路の他の部分から電気的に分離している、請求項5に記載の保護回路。

【請求項8】 前記Pチャンネル・トランジスタ、前記PNPトランジスタ、前記NPNトランジスタおよび前記第1および第2の抵抗が、第1のSCRをなし、更に：前記第1のSCRと直列に接続される第2のSCRであって、前記第1および第2のSCRは、それらと関係した保持電圧を有しており、前記保護回路の組み合わせられた保持電圧が、前記第1および第2のSCRの各々の保持電圧の合計にほぼ等しくなるものとされている第2のSCRを含んでなる、請求項5に記載の保護回路。

【請求項9】 前記保護回路の組み合わせられたトリガー電圧が、前記第1および第2のSCRのうちのひとつのトリガー電圧に、ほぼ等しくなるように、前記第1および第2のSCRが構成されている、請求項8に記載の保護回路。

【請求項10】 前記第1および第2のSCRの少なくともひとつが、集積回路の他の部分から分離されており、その集積回路内に、前記少なくともひとつのSCRが、P基板内に配置されるNタンク内に配置されることによって、含まれている、請求項8に記載の保護回路。

【請求項11】 前記Pチャンネル・トランジスタのゲートが、前記被保護回路の動作電圧端子に接続されており；前記保護回路は、集積回路の一部として形成されており、Nタンク内に含まれていて、そのNタンクは、P形基板内に配置され、前記集積回路の他の部分から、前記保護回路を電気的に分離しており；かつ前記保護回路のトリガー電圧が、前記第1および第2のSCRの一方のトリガー電圧にほぼ等しくなるように、前記第1および第2のSCRが構成されている請求項8に記載の保護回路。

【請求項12】 過剰な電圧が、信号線を通して被保護回路に印可されるのを防止するための、カソードおよびアノードを有する保護SCR回路であって、そのSCR保護回路は：P形基板中に形成されるNタンク；前記Nタンク内に配置されるPタンク；前記Pタンク内に配置される第1のP+領域；前記Pタンク内に配置される第1のN+領域；第2のP+領域であって、前記Pタンクおよび前記Nタンクの双方内に部分的に配置されるように、前記Pタンクおよび前記Nタンクに橋渡しの関係で配置される第2のP+領域；前記Nタンク内に配置され、チャンネル領域を形成するために、前記第2のP+

領域から離されている第3のP+領域；前記チャンネル領域の上に配置され、ゲート酸化物の層によってそこから分離され、Pチャンネル・トランジスタの形を定めるゲートであって、前記アノードから分離されているトリガー電圧に接続可能であるゲート；前記Nタンク内に配置される第2のN+領域；前記第1のP+領域および前記第1のN+領域に接続され、前記SCR保護回路のカソードを形成する第1のパッド；前記第3のP+領域および前記第2のN+領域に接続され、前記SCR保護回路のアノードを形成する第2のパッド；からなり、前記第2のN+領域および前記Pタンクの間に、前記第3のP+領域の最も近くにおいて、前記Nタンクの抵抗部分が延びていて、前記第3のP+領域と前記Nタンクとの間に、そこを流れる第1の所定レベルの電流に対応して、正バイアスの電圧を印可し；かつ前記第1のN+領域と前記Nタンクとの間、および前記第1のP+領域と前記第2のP+領域との間に、前記Pタンクの抵抗部分が延びていて、前記第1のN+領域と前記Nタンクとの間に、そこを通る第2の所定レベルの電流にตอบสนองして、負バイアスの電圧を印可する保護SCR回路。

【請求項13】 前記ゲートが、前記保護回路の動作電圧端子に接続されている、請求項12に記載の保護回路。

【請求項14】 高電圧が、信号線を通して、被保護回路に印可されるのを防止するための保護回路であって、その保護回路は：第1の保持電圧およびそれと関連するトリガー電圧、第1のアノードおよび第1のカソードを有しており、前記第1のアノードは、前記信号線に接続されている第1のSCR；第2の保持電圧およびそれと関連するトリガー電圧、第2のアノードおよび第2のカソードを有する第2のSCRであって、前記第1および第2のSCRが直列に接続されるように、前記第1のアノードが、前記第1のSCRの前記第1のカソードに接続されている第2のSCR；からなり、かつ前記保護回路は、前記第1のSCRのトリガー電圧および結合保護回路保持電圧のみによって定義されるトリガー電圧を有しており、前記結合保護回路保持電圧は、前記第1および第2の保持電圧の累積合計からなるものである保護回路。

【請求項15】 前記結合保護回路保持電圧が、前記トリガー電圧よりも大きい、請求項14に記載の保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般には、静電放電保護回路に関し、より詳しくは、信号線を接地短絡するための集積回路内に含まれる静電放電保護回路に関する。

【0002】

【発明の背景】集積回路は、集積回路のリードに人が触

るといったときに発生する、静電放電(ESD)が起こる結果、遭遇される高電圧に、特に敏感である。先行技術のシリコン制御整流素子(SCR)が、ESDの高電圧を、選択的に接地放電するために提供されている。ESDの発生に先立って、SCRは非導電状態にある。一旦ESDの高電圧の発生に遭遇すると、SCRは、導電状態になり、電流を接地短絡して、その電圧が安全なレベルに放電されるまで、この導電性状態を維持する。

【0003】従来技術のSCRでは、保持電圧が、被保護回路が動作する動作電圧よりも低いことによって、問題が生じる。すなわち、先行技術のSCRは、ESDの発生または大きな信号ノイズによってトリガーされ、動作電圧が、保護されている特別な回路に印可されている限り、動作状態にラッチされたままである。集積回路が動作するときに発生するスプリアスのノイズが、先行技術において現在なされているように、敏感なSCR回路を起動させてしまうので、問題が発生する。これは、SCRを破損し得る。また、被保護回路は、動作電圧がその被保護回路から取り除かれて、SCRが、ラッチされていない非導電状態に戻るができるようになるまで使うことができない。

【0004】集積回路のサイズの低減に伴って更なる問題が生じ、すなわち、それは、回路のスケールが低減する結果、ESDの発生から受ける損傷に対しての感度および電気感受性が、より大きくなるというものである。これは、とりわけ、現在、3.3ボルトの電圧レベルで動作するMOSFET回路に当てはまる。MOSFET回路は、ESDの発生によって、容易に損傷を受ける。ESDの発生に対してそのような回路を保護するために、鋭敏なSCR回路が、用いられなければならない。SCRのトリガー電圧が高いために、保護される信号線に、抵抗が配置されなければならない。この抵抗は、また、時定数を加え、その信号線の応答時間の遅れ、および高周波数でのデジタル信号の歪みを引き起こす。

【0005】

【発明の概要】ここで開示され、特許請求される本発明は、集積回路に印可される電圧にตอบสนองして、異なるトリガー電圧レベルに自動的に調整される、トリガー電圧を有するSCRからなるものである。そのトリガー電圧を決定するために、Pチャンネル・トランジスタが提供される。保護される集積回路に、動作電圧が印可されないときは、そのPチャンネル・トランジスタのしきい値電圧が、SCRがトリガーされる電圧を決定する。保護される集積回路に動作電圧が印可されるときは、その動作電圧は、そのPチャンネル・トランジスタのゲートに印可され、その集積回路の動作電圧およびそのPチャンネル・トランジスタのしきい値電圧が、SCRのトリガー電圧を決定する。そして、PNPおよびNPNのトランジスタのペアがラッチされて、被保護信号経路を接地短絡する。SCRは、その信号経路に印可される電圧が、

SCRのしきい値電圧よりも低くなるまで、ラッチしたままである。

【0006】本発明の別の目的によると、複数のSCRが積層され、または、直列に接続されて、SCRの累積保持電圧が、信号経路に印可される動作電圧よりも大きなものとされる。SCRは、直列に積層され、その直列のSCR全体の保持電圧が、およそ、SCRの個々の保持電圧の合計に等しく、かつ、トリガー電圧よりも大きくなる。

【0007】

【実施例】今、図1を参照すると、被保護回路12を有する、従来技術の集積回路10の概略図が示されている。回路12は、Nチャンネル・トランジスタ14に接続されるダイオードによって保護されるが、そのトランジスタが有するドレインは、トランジスタ12のゲートに接続され、また、そのソースは接地されていて、トランジスタ14の降伏電圧を超過する電圧によって、それが導通するようになっている。トランジスタ12のゲートと入力パッド20との間に、抵抗16が接続されている。SCR18は、パッド20から接地へと接続されている。SCR18は、パッド20に接続されているアノード21を含んでおり、そのアノード21は、抵抗22の一方の側、およびPNPトランジスタ24のエミッタに接続されている。トランジスタ24のベースは、ノード26に接続されている。抵抗22の他方の側は、ノード26に接続されている。Nチャンネル・トランジスタ28のドレインおよびPNPトランジスタ30のコレクタの双方が、ノード26に接続されている。トランジスタ30のベースは、ノード32に接続されており、それは、トランジスタ24のコレクタ、および抵抗34の一方の側に接続されている。抵抗34の他方の側は、ノード36に接続されており、これは、カソードであって、接地されている。トランジスタ30のエミッタ、およびNチャンネル・トランジスタ28のゲートおよびソースは、ノード36に接続されている。

【0008】今、図2を参照すると、図1に描写されるSCR18の回路を提供する、集積回路40の断面図が示されている。集積回路40は、P形基板42を含むが、その中には、Nウェル44が形成される。Nウェル44内には、N+領域46およびP+領域48が形成されている。N+領域46およびP+領域48は、ともに、端子パッド50に接続されており、それは、図1のアノード21と等価のものを提供する。N+領域52が提供され、図示のように、それは、Nウェル44および基板42の接合部を横切って配置されるものとなっている。N+領域54は、基板42中に、N+領域52から離されて形成されている。Nチャンネル・トランジスタが提供されるように、ゲート56を、N+領域52およびN+領域54の間に延びる基板42の部分に隣接して配置しているが、これらのN+領域は、そのソース/ド

レイン領域を形成している。P+領域58が、基板42中に形成され、端子パッド60に接続されている。N+領域54およびゲート56もまた、直接、端子パッド60に接続されている。端子パッド60は、図1のノード36を提供する。

【0009】図1および図2を更に参照すると、抵抗器 $R_N$ の抵抗22が、Nウェル44の、N+領域46から、Nウェル44と基板42との界面へと延びる部分によって提供される。N+領域46は、N+領域52から離れており、Nウェル44の、N+領域46とN+領域52との間に延びる部分が、抵抗器 $R_N$ の抵抗22を提供するものとなっている。端子パッド50もまた、P+領域48に接続されている。基板42の、Nウェル44との接合部からP+領域58へと延びる領域は、抵抗器 $R_P$ なる抵抗34を提供する。PNPトランジスタ24は、P+領域48によって提供されるエミッタ、Nウェル44により提供されるベース、および、P-基板42により提供されるコレクタを有する。N+領域52は、Nチャンネル・トランジスタ28のドレインを提供する。Nチャンネル・トランジスタ28のゲートおよびソースは、それぞれ、ゲート56およびN+領域54によって提供される。PNPトランジスタ30は、Nウェル44により提供されるそのコレクタ、基板42により提供されるそのベース、および、N+領域54によって提供されるそのエミッタを有する。

【0010】動作においては、保護回路18は、ノード26での電圧が高まって、トランジスタ28の降伏電圧を超えるまで、アノード21およびカソード36の間に電流を流さない。その降伏電圧は、好ましくは、3.3ボルトの動作技術については、7から10ボルトの範囲にあり、5ボルトの動作技術においては、10.0から15.0ボルトの範囲にある。一旦トランジスタ28の降伏電圧を超えてしまうと、電流が、抵抗22を通過して、ノード26へ、また、トランジスタ28のドレインからソースへと流れる。抵抗22を通る電流は、PNPトランジスタ24のベースの電圧を低下させる。一旦、トランジスタ24のダイオード電圧が、順バイアスで超えてしまうと、それは、アノード21から、ノード32へと電流を流す。抵抗34を通過してノード36を流れる電流は、トランジスタ30のベースの電圧を上昇させ、トランジスタ30をオンにする。トランジスタ30を通る電流によって、抵抗22を電流が流れるものとなり、更に、ノード26の電圧を下げて、トランジスタ28の降伏電圧より低くする。こうして、トランジスタ24および30は、抵抗22および34のいずれかに掛かる電圧が、SCR18の保持電圧より下がるまで、導電モードでラッチする。

【0011】SCR18の先行技術の保護回路は、唯一のトリガー電圧を有しており、それは、トランジスタ28の降伏電圧によって決定される。先行技術SCR18



の保持電圧は、典型的には、被保護回路12の供給電圧よりも低いものであり、その結果、SCR18は、動作電圧が、保護される信号線から取り除かれるまで、導電モードでラッチするものとなる。例えば、3.3ボルト技術について、保持電圧は、約1.5ボルトである。

【0012】図3は、集積回路62の概略図を示しており、それは、MOSトランジスタの形の、被保護回路64、およびパッド72と接地との間に接続されるNチャンネル・トランジスタ66とを有している。保護回路が、パッド72および接地の間に接続されるSCR68によって提供される。SCR68は、動作電圧端子パッド70を有しており、それは、別の電圧レベルに接続することもできるが、集積回路62へ供給される電源である $V_{DD}$ へ接続されている。SCR68なる回路は、更に、アノード73を含んでおり、それは、抵抗74の一方の側、PNPトランジスタ76のエミッタ、および、Pチャンネル・トランジスタ78のソースに接続されている。トランジスタ78のゲートは、直接、端子パッド70に接続されているが、それは、 $V_{DD}$ に接続されている。抵抗74の他方の側は、ノード80に接続されている。ノード80は、トランジスタ76のベース、およびNPNトランジスタ82のコレクタに接続されている。トランジスタ82のベースは、直接、ノード84に接続されている。トランジスタ76のコレクタ、およびトランジスタ78のドレインもまた、直接、ノード84に接続されている。抵抗86は、ノード84およびノード88の間に接続されている。ノード88は、SCR68のカソードを提供し、それは、接地されている。NPNトランジスタ82のエミッタもまた、ノード88に接続されている。

【0013】今、図4を参照すると、図3に描写されている、SCR68なる回路を提供する集積回路90の断面図が示されている。集積回路90は、P形基板92を含む。高電圧Nタンク(HV-nタンク)98が、基板92に形成されている。また、基板92には、P+領域94が形成され、それは、基板端子パッド96に接続されて、基板92への電気接続を提供している。低電圧Pタンク(LV-pタンク)100が、HV-nタンク98に形成されている。P+領域102が、LV-pタンク100中に形成されている。N+領域104もまた、LV-pタンク100中に形成されている。P+領域102およびN+領域104は、双方ともカソード106に接続されている。P+領域108は、HV-nタンク98とLV-pタンク100との間に延びている。P+領域110が、P+領域108から離れて、HV-nタンク98に形成され、Pチャンネル・トランジスタのソース/ドレイン領域を提供し、それらは、チャンネル領域によって分離されるが、その上に、ゲート電極112が配置され、ゲート酸化層でそこから分離されている。ゲート112は、端子パッド114に接続されている。

N+領域116が、HV-nタンク98中に形成され、P+領域110とともに、アノード118に接続されている。HV-nタンク98の抵抗率は、それが、LV-pタンク100とN+領域116との間の、その部分に、 $R_N$ なる抵抗器を提供するようなものであるということに注意すること。さらには、LV-pタンク100の抵抗率は、それが、P+領域102と、P+領域108およびHV-nタンク98の双方との間に延びるその部分に、抵抗器 $R_p$ を提供するようなものである。HV-nタンク98はまた、SCR68を、基板92から分離するものである。

【0014】今、図3および図4を参照すると、図3のアノード73は、図4の端子パッド118に対応して、SCR68のアノードを提供している。HV-nタンク98の、N+領域116からLV-pタンク100へと延びる部分は、それが、抵抗器 $R_N$ の抵抗74を提供するような抵抗率を有する。トランジスタ76のエミッタ、ベースおよびコレクタは、それぞれ、P+領域110、HV-nタンク98およびLV-pタンク100によって提供されている。P+領域108および110、およびゲート112は、ともに、トランジスタ78を提供する。端子パッド114は、ゲート112を $V_{DD}$ へと接続し、端子パッド70に対応する。トランジスタ78において、P+領域110はソースに対応し、P+領域108はドレインに対応する。トランジスタ82のコレクタ、ベースおよびエミッタは、それぞれ、HV-nタンク98、LV-pタンク100およびN+領域104によって提供される。LV-pタンク100の、P+領域108およびHV-nタンク98からP+領域102へと延びる部分は、抵抗器 $R_p$ の抵抗86を提供する。ノード106は、ノード88に対応し、SCR68のカソードを提供する。

【0015】SCR68は、ESDの発生に対して回路64を保護する。抵抗16は、図1のSCR18と被保護回路12との間には含まれているが、図3に描写される回路内には含まれていないということに注意すること。

【0016】動作においては、考慮すべき条件が、2つ、すなわち、パワーダウン動作とパワーアップ動作がある。パワーダウン動作においては、パッド70の電圧 $V_{DD}$ が実質的に接地される。その電圧が接地されているので、SCR68のアノード73に接続されている、トランジスタ78のドレインで、そのひとつのしきい値電圧 $V_T$ を超えるいかなる正の電圧も、トランジスタ78をオンにし、電流を抵抗86に流す。この電圧が、トランジスタ82をオンにするのに十分であるとき、電流が抵抗74を通して流れ、ノード80を引き下げて、トランジスタ76をオンにし、こうしてSCR68をラッチする。その代わりに、パワーアップ条件においては、パッド72が、 $V_{DD}$ に上昇され、それは、好ましい実施例

においては、3.3ボルト（または、他の応用例では5.0ボルト）である。入力端子パッド72の電圧が、トランジスタ78のゲートに掛かる供給電圧を超える、ひとつのしきい値電圧 $V_T$ なる電圧まで上昇するとき、トランジスタ78が伝導し、電流が抵抗86に流れる。これによって、トランジスタ82がオンし、ノード80を低く引き、トランジスタ76をオンにし、そして、SCR68を動作させて、パッド70の電圧を低く引っ張る。アノード73の電圧が一旦低く引かれると、トランジスタ78のソースが、ゲート電圧 $V_{DD}$ を超える、ひとつの $V_T$ 未満に落ちるために、トランジスタ78がオフとなる。アノードの電圧が、保持電圧未満のレベルに落ちるとき、ラッチが再びオフとなる。好ましい実施例では、この電圧は、約1.2ボルトである。したがって、ゲートがパッド70の供給電圧に接続されるトランジスタ78を用いることで、より低いトリガー電圧が実現され、直列に接続される抵抗が必要ではない。さらには、SCRを、高電圧タンク中で分離することにより、基板電流注入が低減される。これは、高電圧タンクとP型の材料である基板との間に、逆バイアスされたPN接合があるという事実によるものである。高電圧タンクは、ノード80において、PNPトランジスタのベースを提供するので、この基板電流注入は、SCRの動作をもたらす。

【0017】今、図5を参照すると、SCR126およびSCR128の直列結合からなる、保護回路124が図示されている。SCR128は、図3のSCR68に類似する。SCR128の回路は、動作電圧端子パッド130を含むが、それは、保護回路124が中に含まれる集積回路の、動作電圧 $V_{DD}$ に接続されている。アノードが、端子パッド132によりアノードとして提供される。抵抗134が、端子パッド132からノード140へと接続する。PNPバイポーラ・トランジスタ136は、アノード132に接続されるそのエミッタ、ノード144に接続されるそのコレクタ、およびノード140に接続されるそのベースを有する。Pチャンネル・トランジスタ138は、アノード132に接続されるそのソース、およびノード144に接続されるそのドレインを有する。トランジスタ138のゲートは、端子パッド130に接続されるが、それは、動作電圧 $V_{DD}$ に接続される。NPNトランジスタ142は、ノード140に接続されるそのコレクタ、ノード144に接続されるそのベース、およびノード148に接続されるそのエミッタを有する。抵抗器 $R_P$ の抵抗146は、ノード144とノード148との間に接続される。抵抗器 $R_N$ の抵抗134は、端子パッド132とノード140との間に接続される。

【0018】SCR128のノード148は、SCR126のノード150に接続される。抵抗器 $R_N$ の抵抗152は、ノード150とノード156との間に接続さ

れる。PNPトランジスタ154は、ノード150に接続されるそのエミッタ、ノード156に接続されるそのベース、およびノード162に接続されるそのコレクタを有する。NPNトランジスタ160は、ノード156に接続されるそのコレクタ、ノード162に接続されるそのベース、およびノード166に接続されるそのエミッタを有する。抵抗器 $R_P$ の抵抗164は、ノード162とノード166との間に接続される。Nチャンネル・トランジスタ158は、ノード156に接続されるそのドレインおよびゲート、およびノード166に接続されるそのソースを有する。抵抗器 $R_P$ の抵抗164は、ノード162とノード166との間に接続される。

【0019】今、図6を参照すると、図5に描写されている保護回路124を提供する集積回路170の断面図が図示されている。集積回路170は、P形基板172を含む。高電圧Nタンク（HV-nタンク）174が、基板172に形成されている。低電圧Pタンク（LV-pタンク）176が、HV-nタンク174中に形成されている。HV-nタンク174中に、N+領域180およびP+領域182が形成され、それら双方は、端子パッド184に接続され、それは、アノードを提供する。P+領域186は、HV-nタンク174とLV-pタンク176との間の接合部を横切って形成される。P+領域182、P+領域186およびゲート電極188が、一緒になって、HV-nタンク174中に、Pチャンネル・トランジスタの形を定める。ゲート電極188は、端子パッド190に接続される。N+領域192およびP+領域194が、LV-pタンク176中に形成される。N+領域192およびP+領域194は、双方ともノード196に接続され、それは、ノード198に接続されている。

【0020】低電圧Nタンク（LV-nタンク）領域200が、基板172中に形成されている。N+領域202およびP+領域204が、LV-nタンク200中に形成されている。N+領域202およびP+領域204は、双方ともノード198に接続されている。N+領域206が、基板172とLV-nタンク領域200との間の接合部を横切って形成されている。N+領域208が、基板172中に形成されており、ゲート電極210およびN+領域206とともに、Nチャンネル・トランジスタを提供する。ゲート電極210は、端子パッド212に接続されており、それは続いて、N+領域206に結び付けられている。P+領域214が、基板172中に形成されている。P+領域214およびN+領域208は、ノード216に接続されている。

【0021】今、図5および図6を参照すると、集積回路170の端子パッド184は、SCR128の端子パッド132に対応し、保護回路124のアノードを提供している。PNPトランジスタ136が、P+領域182、HV-nタンク174およびLV-pタンク176

によって提供されている。Pチャンネル・トランジスタ138が、P+領域182、ゲート電極188およびP+領域186によって提供されている。抵抗器 $R_N$ の抵抗134は、HV-nタンク174の、N+領域180からLV-pタンク176に延びる部分によって提供されている。NPNトランジスタ142は、HV-nタンク174、LV-pタンク176およびN+領域192によって提供されている。抵抗器 $R_P$ の抵抗146は、LV-pタンク176の、HV-nタンク174からP+領域194に延びる部分によって提供されている。図6のノード196は、図5のノード148に対応する。HV-nタンク174および基板172の間のダイオード接合は、基板172からSCR128を分離する。

【0022】SCR126は、集積回路170の端子パッド198に対応するノード150を有している。PNPトランジスタ154は、P+領域204、LV-nタンク200および基板172によって、それぞれ提供される、エミッタ、ベースおよびコレクタを有する。抵抗器 $R_N$ 'の抵抗152は、LV-nタンク200の、N+領域202から、LV-nタンク200と基板172との間の接合部に延びる部分によって提供される。Nチャンネル・トランジスタ158のドレイン、ゲートおよびソースは、それぞれ、N+領域206、ゲート電極210およびN+領域208に対応する。NPNトランジスタ160のコレクタ、ベースおよびエミッタが、それぞれ、LV-nタンク200、基板172およびN+領域208に対応する。抵抗器 $R_P$ 'の抵抗164は、基板172の、LV-nタンク200からP+領域214に延びる部分に対応する。集積回路170の端子パッド216は、SCR126のノード166に対応する。

【0023】動作において、保護回路124が、図3のSCR68について描写されたように保護されるべき入力パッドに取り付けられる。集積回路170の動作電圧 $V_{DD}$ は、それを動作電圧とは異なる別の電圧に接続することもできるが、好ましくは、保護回路124の動作電圧端子パッド130に接続される。端子パッド132は、ESDの発生での高電圧による損傷に対して、保護されるべき回路の信号線に接続される。パワーダウン状態において、端子パッド130に、電圧 $V_{DD}$ が印可されないとき、SCR128は、トランジスタ138のしきい値電圧 $V_T$ を超える電圧によってトリガーされる。集積回路172に電圧 $V_{DD}$ が印可されるとき、端子パッド130に電圧 $V_{DD}$ が印可される。続いて、SCR128が、ひとつのしきい値電圧 $V_T$ によって、端子パッド130に印可される電圧 $V_{DD}$ を超える、端子パッド132に印可される電圧によってトリガーされる。すると、Pチャンネル・トランジスタ138を通して、ノード144へと、および続いて抵抗146を通して、ノード148へと、電流が流れる。

【0024】アノード132の電圧が、トランジスタ1

38のゲートの電圧を、2つ以上のしきい値電圧によって超えるとき、抵抗146を通して電流が流れる。第2のSCR126は、ノード148と接地との間に接続されているので、抵抗152を通してノード156へ、さらにはトランジスタ158を通して、電流が流れる。これにより、トランジスタ154のベースが低く引かれ、トランジスタ154がオンになり、電流が、抵抗164を通して流れる。ノード162が上昇し、トランジスタ160をオンとし、そして、それによって、SCR126をラッチさせ、ノード148を接地へと引っ張る。これにより、今度は、トランジスタ142がオンとなるようなレベルで、抵抗146を通して電流が流れ、ノード140を低く引いて、トランジスタ136をオンとし、そして、SCR128にラッチを起こさせる。

【0025】SCR128および126の2つが直列に接続されているので、その制御は、SCR128のトリガー電圧によって提供され、すなわち、トリガー電圧は、供給電圧またはパッド130に接続されるいかなる電圧をも超える、ひとつのしきい値である。しかしながら、保持電圧は、SCR128の保持電圧およびSCR126の保持電圧の2つの合計である。そのように、保持電圧は、電力供給電圧を超えることができる。例えば、3.3ボルト技術の部分では、2つの積層されたSCRを有し、各々が約1.75ボルトの保持電圧を備え、結合保持電圧が、3.5ボルトとなって、電力供給電圧よりも大きなものとなる。さらには、保持電圧は、電力供給電圧プラス $V_T$ の、トリガー電圧よりも大きなものとなるように設計することができる。保持電圧は、NPNおよびPNPトランジスタの $\beta$ の関数であり、これは、 $\beta$ の積の関数、 $f(\beta * \beta)$ である。

【0026】今、図7、図8および図9を参照すると、それぞれ、SCR128、SCR126および保護回路124の、電流-電圧のグラフが図示されている。曲線220により、SCR128のトリガー電圧( $V_{TR}$ )が、点122にあるものとして示される。SCR128の保持電圧( $V_h$ )は、点224で示される。曲線226には、SCR126のトリガー電圧( $V_{TR}$ )が、点228として示されており、SCR126の保持電圧( $V_h$ )が、点230として示されている。最後に、曲線232には、保護回路124のトリガー電圧( $V_{TR}$ )および保持電圧( $V_h$ )が、それぞれ、点234および236として示されている。前述のように、保護回路124は、SCR126と直列に接続されるSCR128を含んでなる。保護回路124の $V_{TR}$ は、SCR128の $V_{TR}$ にほぼ等しく、それは、図7において、点222で示されている。保護回路124の $V_h$ は、点236で示されており、図8における点230で示されるSCR126の $V_h$ と、図7の点224で示されるSCR128の $V_h$ との合計にほぼ等しい。このように、直列に接続されている、SCR126および128の保持電圧は、累

積される。

【0027】図10は、図3および図5のそれぞれの、SCR68およびSCR128のような、複数の分離された低電圧SCR (ILVSCR)を含む保護回路238を描写する概略ブロック図である。ILVSCR240は、ILVSCR242と直列に接続されている。端子パッド244および246は、それらが中に含まれる集積回路の、動作電源電圧 $V_{DD}$ に、接続されている。端子パッド244および246は、それぞれ、図3および図5の端子パッド70および130に対応する。ILVSCR240の端子パッド248は、ESDから保護されるべき信号線に、直接、接続されるであろう。ILVSCR240のカソードは、図3のノード88に対応するが、図5のアノード132に対応する。ILVSCR242のアノードに接続されるであろう。他のILVSCRも、直列に含まれても良い。このように、保護回路238は、SCR68または128のいずれかのような、単一SCRのトリガー電圧に等しいトリガー電圧を有しており、SCR240および242の保持電圧の合計に等しい保持電圧を有するであろう。このように、ILVSCR240および242は、他のSCRと一緒に、保護回路238の保持電圧が累積されるように、直列に積層できる。

【0028】要するに、ESDの発生の高電圧に対して、保護をするための保護回路が提供されている。その保護回路は、可変的であって、本発明の被保護回路が中に含まれている集積回路に印可される動作電圧によって、自動的に決定されるトリガー電圧を有する。保護回路の保持電圧は、複数のSCRを、選択的に直列に接続することによって増大される。このように、回路に印可される動作電圧に応答して、トリガー電圧が可変的であり、保持電圧が選択的に決定されうる保護回路が提供される。

【0029】本発明のいくつかの実施例が詳細に説明されているけれども、特許請求の範囲によって定義されるような本発明の精神および範囲から逸脱することなく、種々の変更、置き換えおよび代替が行われうるということを理解するべきである。

#### 【図面の簡単な説明】

本発明およびその利点をより完全に理解するために、添付の図面と関係する本明細書の記述を参照するが、それ

らの図面においては：

【図1】ESD保護を提供するために集積回路内に含まれる、従来技術のSCRの概略図を示す。

【図2】図1に描写されるSCRを提供する、先行技術の集積回路の断面図を示す。

【図3】本発明のSCRを含んでなるESD保護回路の概略図を示す。

【図4】概略的に図3に描写される、ESD保護回路を含む、集積回路の断面図を示す。

【図5】本発明の別の実施例のESD保護回路であって、直列に接続される2つのSCRからなるものの概略図を示す。

【図6】図5のESD保護回路を含む集積回路の断面図を示す。

【図7】図1-6の、種々のESD保護回路の電流-電圧曲線を図示する。

【図8】図1-6の、種々のESD保護回路の電流-電圧曲線を図示する。

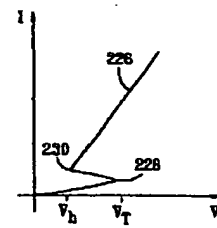
【図9】図1-6の、種々のESD保護回路の電流-電圧曲線を図示する。

【図10】本発明の別の実施例のESD保護回路であって、図3および図4に描写される型のSCRが、積層されて保護回路を提供するものを示す。

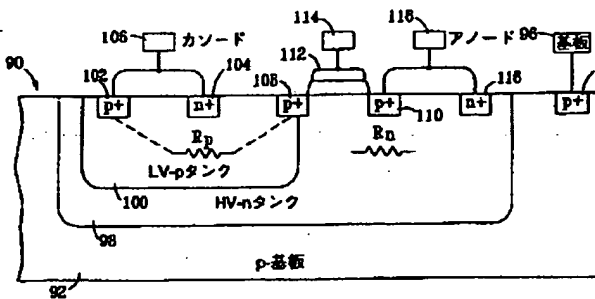
#### 【符号の説明】

62, 90, 170 集積回路  
64 被保護回路  
66, 158 Nチャンネル・トランジスタ  
68, 126, 128 SCR  
69 信号経路  
70, 72, 130, 184, 190, 244, 246  
パッド  
73, 132 アノード  
74, 134, 146, 164 抵抗  
76, 136 PNPトランジスタ  
78, 138 Pチャンネル・トランジスタ  
82, 142 NPNトランジスタ  
92, 172 基板  
98, 174 高電圧Nタンク  
100, 176 低電圧Pタンク  
124, 238 保護回路  
200 低電圧Nタンク

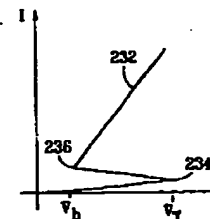
【☒8】



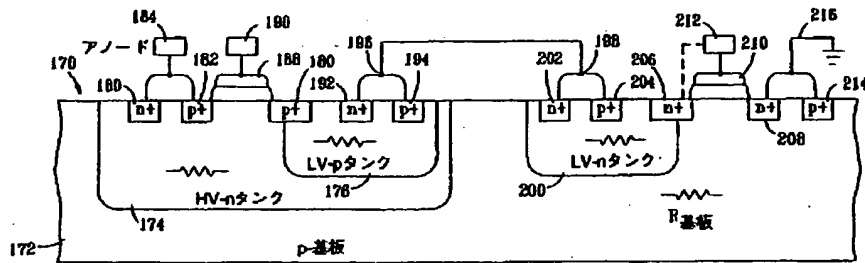
【図4】



【图9】

[illegible]

【図6】



フロントページの続き

(72)発明者 ウェイン ティ. チェン  
 アメリカ合衆国 テキサス州プラノ, パイ  
 ク コート 4201

【外国語明細書】

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

**STACKED SILICON-CONTROLLED RECTIFIER HAVING A LOW  
VOLTAGE TRIGGER AND ADJUSTABLE HOLDING VOLTAGE FOR ESD  
PROTECTION**

**TECHNICAL FIELD OF THE INVENTION**

The present invention pertains in general to electrostatic discharge protection circuits and, more particularly, to an electrostatic discharge protection circuit included within an integrated circuit for shunting a signal line to ground.

## 2

**BACKGROUND OF THE INVENTION**

Integrated circuits are particularly sensitive to the high voltages encountered as a result of electrostatic discharge (ESD) events, such as may occur when a person touches a lead of an integrated circuit. Prior art silicon-controlled rectifiers (SCRs) have been provided for selectively discharging to ground the high voltages of ESD events. Prior to an ESD event, the SCR is in a nonconductive state. Once the high voltage of an ESD event is encountered, the SCR then changes to a conductive state to shunt the current to ground and maintains this conductive state until the voltage is discharged to a safe level.

A problem arises due to the holding voltage of prior art SCRs being lower than the operating voltage at which the protected circuit operates. Thus, a prior art SCR may be triggered by an ESD event or large signal noise and remain latched in a conductive state as long as the operating voltage is applied to the particular circuit being protected. The problem occurs since spurious noise generated when an integrated circuit is operated may activate a sensitive SCR circuit unless, as is currently done in the prior art. This can damage the SCR. Also, the protected circuit cannot be used until the operating voltage is removed from the protected circuit such that the SCR can return to an unlatched, nonconductive state.

A further problem occurs with the reduction in size of integrated circuits, in that the reduced scale of the circuits results in greater sensitivity and susceptibility to damage from ESD events. This is especially true for MOSFET circuits which presently operate at voltage levels of 3.3 volts. MOSFET circuits are easily damaged by ESD events. In order to protect such circuits against ESD events, sensitive SCR circuits must be utilized. Due to the high trigger voltage of an SCR, a resistor must be placed on the signal line being protected. This resistor also adds a time constant,



3

causing a lag in response time of the signal line and distortion of digital signals at high frequencies.

**SUMMARY OF THE INVENTION**

The present invention disclosed and claimed herein comprises an SCR having a trigger voltage which is automatically adjusted to different trigger voltage levels in response to power being applied to the integrated circuit. A P-channel transistor is provided for determining the trigger voltage. When operating power is not applied to the integrated circuit being protected, the P-channel transistor threshold voltage determines the voltage at which the SCR is triggered. When operating power is applied to the integrated circuit being protected, the operating voltage is applied to the gate of the P-channel transistor, and the operating voltage of the integrated circuit and the threshold voltage of the P-channel transistor determine the trigger voltage of the SCR. Then a PNP and NPN transistor pair are latched to shunt the protected signal path to ground. The SCR remains latched until the voltage applied to the signal path falls beneath the threshold voltage of the SCR.

In another aspect of the present invention, a plurality of SCRs may be stacked, or connected in series, such that the cumulative holding voltages of the SCRs are greater than the operating voltage applied to the signal path. The SCRs are stacked in series, such that the overall holding voltage for the series of SCRs is approximately equal to the sum of the individual holding voltages for the SCRs and is greater than the trigger voltage.

**BRIEF DESCRIPTION OF THE DRAWINGS**

For a more complete understanding of the present invention and the advantages thereof, reference is now made to the following description taken in conjunction with the accompanying Drawings in which:

5           FIGURE 1 illustrates a schematic diagram of a prior art SCR included within an integrated circuit to provide ESD protection;

          FIGURE 2 illustrates a sectional view of a prior art integrated circuit which provides the SCR as depicted in FIGURE 1;

10           FIGURE 3 illustrates a schematic diagram of an ESD protection circuit which comprises an SCR of the present invention;

          FIGURE 4 illustrates a sectional view of an integrated circuit which includes the ESD protection circuit which is schematically depicted in FIGURE 3;

15           FIGURE 5 illustrates a schematic diagram of an ESD protection circuit of an alternative embodiment of the present invention, which comprises two SCRs connected together in series;

          FIGURE 6 illustrates a sectional view of an integrated circuit which includes the ESD protection circuit of FIGURE 5;

          FIGURES 7, 8 and 9 illustrate plots of current versus voltage for the various ESD protection circuits of FIGURES 1-6; and

20           FIGURE 10 illustrates an ESD protection circuit of an alternative embodiment of the present invention, in which SCRs of the type depicted in FIGURES 3 and 4 are stacked to provide the protection circuit.

**DETAILED DESCRIPTION OF THE INVENTION**

Referring now to *FIGURE 1*, there is illustrated a schematic diagram of a prior art integrated circuit 10 having protected circuitry 12. The circuitry 12 is protected by a diode connected N-channel transistor 14 having the drain connected to the gate of transistor 12 and the source thereof connected to ground, such that voltages in excess of the breakdown voltage of the transistor 14 will cause it to conduct. A resistor 16 is connected between the gate of transistor 12 and an input pad 20. An SCR 18 is connected from the pad 20 to ground. The SCR 18 includes an anode 21 that is connected to the pad 20, which anode 21 is connected to one side of a resistor 22 and the emitter of a PNP transistor 24. The base of the transistor 24 is connected to a node 26. The other side of resistor 22 is connected to the node 26. The drain of an N-channel transistor 28 and the collector of an NPN transistor 30 are both connected to the node 26. The base of the transistor 30 is connected to a node 32, which is connected to the collector of the transistor 24 and to one side of a resistor 34. The other side of resistor 34 is connected to a node 36, this being the cathode which is connected to ground. The emitter of the transistor 30, and the gate and the source of the N-channel transistor 28 are connected to the node 36.

Referring now to *FIGURE 2*, there is illustrated a sectional view of an integrated circuit 40 which provides the circuitry of the SCR 18 depicted in *FIGURE 1*. Integrated circuit 40 includes a P-type substrate 42 into which an N-well 44 is formed. Within the N-well 44, an N<sup>+</sup> region 46 and a P<sup>+</sup> region 48 are formed. The N<sup>+</sup> region 46 and the P<sup>+</sup> region 48 are together connected to a terminal pad 50, which provides the equivalent of the anode 21 of *FIGURE 1*. An N<sup>+</sup> region 52 is provided such that it is disposed across the junction of the N-well 44 and the substrate 42 as shown. An N<sup>+</sup> region 54 is formed into the substrate 42, spaced apart from N<sup>+</sup> region 52. An N-channel transistor is provided by disposing a gate 56 adjacent to a portion of the substrate 42 which extends between the N<sup>+</sup> region 52 and

the N+ region 54, these forming the source/drain regions thereof. A P+ region 58 is formed into the substrate 42 and connected to a terminal pad 60. The N+ region 54 and the gate 56 are also directly connected to the terminal pad 60. The terminal pad 60 provides the node 36 of FIGURE 1.

5 Referring further to FIGURES 1 and 2, the resistor 22 of resistance  $R_N$  is provided by a portion of the N-well 44 which extends from the N+ region 46 to the interface of the N-well 44 and the substrate 42. The N+ region 46 is spaced apart from the N+ region 52 such that a portion of the N-well 44 which extends between the N+ region 46 and the N+ region 52 provides the resistor 22 of resistance  $R_N$ . The  
10 terminal pad 50 is also connected to the P+ region 48. The region of the substrate 42 extending from the junction with the N-well 44 to the P+ region 58 provides the resistor 34 of resistance  $R_P$ . The PNP transistor 24 has an emitter provided by the P+ region 48, a base provided by the N-well 44, and a collector provided by the P-substrate 42. The N+ region 52 provides the drain for the N-channel transistor 28.  
15 The gate and the source of the N-channel transistor 28 are provided by the gate 56 and the N+ region 54, respectively. The NPN transistor 30 has the collector thereof provided by the N-well 44, the base thereof provided by the substrate 42, and the emitter thereof provided by the N+ region 54.

20 In operation, the protective circuit 18 will not conduct current between the anode 21 and the cathode 36 until a voltage builds up at the node 26 which exceeds the breakdown voltage of the transistor 28. The breakdown voltage preferably ranges 7 to 10 volts for 3.3V operation technology and from 10.0 to 15.0 volts for 5V operation technology. Once the breakdown voltage of the transistor 28 is exceeded, current will flow through resistor 22 to the node 26, and from the drain to the source  
25 of the transistor 28. Current through the resistor 22 will cause the voltage on the base of the PNP transistor 24 to drop. Once the diode voltage of the transistor 24 is exceeded, with a forward bias, it will conduct current from the anode 21 to the node

32. Current through resistor 34 to the node 36 will cause the voltage on the base of transmitter 30 to rise and turn on transistor 30. Current passing through the transistor 30 causes current to pass through the resistor 22 further lowering the voltage on node 26 below the breakdown voltage of transistor 28. Thus, the  
5 transistors 24 and 30 will latch in conductive modes until the voltage across either of resistors 22 and 34 falls beneath a holding voltage for the SCR 18.

The prior art protective circuitry of the SCR 18 has a singular trigger voltage, which is determined by the breakdown voltage of the transistor 28. The holding  
10 voltage for the prior art SCR 18 is typically less than the power supply voltage of the protected circuitry 12, resulting in the SCR 18 latching in a conductive mode until operating power is removed from the signal line being protected. For example. For a 3.3 volt technology, the holding voltage is approximately 1.5 volts.

FIGURE 3 illustrates a schematic diagram of an integrated circuit 62, which has protected circuitry 64 in the form of an MOS transistor and an N-channel  
15 transistor 66 connected between the pad 72 and ground. Protective circuitry is provided by an SCR 68 connected between the pad 72 and ground. The SCR 68 has an operating voltage terminal pad 70 connected to  $V_{DD}$ , the power supplied to the integrated circuit 62, although it could be connected to another voltage level. The circuitry of the SCR 68 further includes an anode 73 which is connected to one side  
20 of a resistor 74, to the emitter of a PNP transistor 76 and to the source of a P-channel transistor 78. The gate of the transistor 78 is connected directly to the terminal pad 70, which is connected to  $V_{DD}$ . The other side of resistor 74 is connected to a node 80. The node 80 is connected to the base of the transistor 76 and the collector of an NPN transistor 82. The base of the transistor 82 is connected directly to a node 84.  
25 The collector of the transistor 76 and the drain of the transistor 78 are also connected directly to a node 84. A resistor 86 is connected between the node 84 and a node 88.

The node 88 provides the cathode of the SCR 68 which is connected to ground. The emitter of the NPN transistor 82 is also connected to the node 88.

Referring now to FIGURE 4, there is illustrated a sectional view of an integrated circuit 90 which provides the circuitry of the SCR 68 depicted in FIGURE 3. The integrated circuit 90 includes a P-type substrate 92. A high voltage N-tank (HV-ntank) 98 is formed in the substrate 92. Also formed in substrate 92 is a P+ region 94 which is connected to a substrate terminal pad 96 for providing an electrical connection to the substrate 92. A low voltage P-tank (LV-ptank) 100 is formed in the HV-ntank 98. A P+ region 102 is formed in the LV-ptank 100. An N+ region 104 is also formed into the LV-ptank 100. The P+ region 102 and the N+ region 104 are both connected to a cathode 106. A P+ region 108 extends between the HV-ntank 98 and the LV-ptank 100. A P+ region 110 is formed in the HV-ntank 98, spaced apart from the P+ region 108 to provide the source/drain regions of a P-channel transistor separated by a channel region over which a gate electrode 112 is disposed and separated therefrom by a layer of gate oxide. The gate 112 is connected to a terminal pad 114. An N+ region 116 is formed into the HV-ntank 98 and, along with the P+ region 110, is connected to an anode 118. It should be noted that the resistivity of the HV-ntank 98 is such that it will provide a resistance of  $R_n$  in the portion thereof between the LV-ptank 100 and the N+ region 116. Additionally, the resistivity of the LV-ptank 100 is such that it will provide a resistance  $R_p$  in the portion thereof extending between the P+ region 102 and both the P+ region 108 and the HV-ntank 98. The HV-ntank 98 will also isolate the SCR 68 from the substrate 92.

Referring now to FIGURES 3 and 4, the anode 73 of FIGURE 3 corresponds to the terminal pad 118 of FIGURE 4, providing the anode for the SCR 68. A portion of the HV-ntank 98 which extends from the N+ region 116 to the LV-ptank 100 has a resistivity such that it provides the resistor 74 of resistance  $R_n$ . The

10

emitter, the base and the collector of the transistor 76 are provided by the P+ region 110, the HV-ntank 98, and the LV-ptank 100, respectively. The P+ regions 108 and 110 and the gate 112 together provide the transistor 78. The terminal pad 114 connects the gate 112 to  $V_{DD}$  and corresponds to the terminal pad 70. The P+ region 110 corresponds to the source and the P+ region 108 corresponds to the drain of transistor 78. The collector, the base, and the emitter of the transistor 82 are provided by the HV-ntank 98, the LV-ptank 100 and the N+ region 104, respectively. The portion of the LV-ptank 100 which extends from the P+ region 108 and the HV-ntank 98 to the P+ region 102 provides the resistor 86 of a resistance  $R_p$ . The node 106 corresponds to the node 88 and provides the cathode for SCR 68.

The SCR 68 protects the circuit 64 against ESD events. It should be noted that the resistor 16, which is included between SCR 18 and protected circuitry 12 of FIGURE 1, is not included within the circuitry depicted in FIGURE 3.

In operation, there are two conditions to consider, a power-down operation and a power-up operation. In the power-down operation, the voltage  $V_{DD}$  on pad 70 will be virtually grounded. Since the voltage is disposed at ground, any positive voltage on the drain of transistor 78 above one threshold voltage  $V_T$  thereof, which is connected to the anode 73 of the SCR 68, will turn on transistor 78 and conduct current to resistor 86. When this voltage is sufficient to turn on transistor 82, current will flow through resistor 74 to pull node 80 down and turn on transistor 76, thus latching the SCR 68. Alternatively, in the power-up condition, the pad 72 is raised to  $V_{DD}$  which is, in the preferred embodiment, 3.3 volts (or 5.0 volts in other applications). When the voltage on the input terminal pad 72 is raised up to a voltage that is one threshold voltage  $V_T$  above the supply voltage that is on the gate of transistor 78, transistor 78 will conduct and current will flow to resistor 86. This will turn on transistor 82, pulling node 80 low and turning on transistor 76, thus activating the SCR 68 and pulling the voltage on pad 70 low. Once the voltage on the anode 73



11

is pulled low, transistor 78 will turn off, due to its source falling below one  $V_T$  above the gate voltage,  $V_{DD}$ . When the voltage on the anode falls to a level below the holding voltage, then the latch will again turn off. In the preferred embodiment, this voltage is approximately 1.2 volts. Therefore, with the use of the transistor 78 with the gate thereof connected to the supply voltage on the pad 70, a lower trigger  
5 voltage has been realized and no series resistor is required. Further, by isolating the SCR in a high voltage tank, substrate current injection is reduced. This is due to the fact that there is a reverse biased PN junction between the high voltage tank and the substrate, which substrate is a P-type material. Since the high voltage tank provides  
10 the base for the PNP transistor at the node 80, this substrate current injection could effect the operation of the SCR.

Referring now to FIGURE 5, there is illustrated a protective circuit 124 which is comprised of the series combination of an SCR 126 and an SCR 128. The SCR  
15 128 is similar to the SCR 68 of FIGURE 3. The circuitry of the SCR 128 includes an operating voltage terminal pad 130 which is connected to the operating voltage  $V_{DD}$  of the integrated circuit within which the protective circuit 124 is included. An anode is provided by a terminal pad 132, the anode. A resistor 134 connects from the terminal pad 132 to a node 140. A PNP-bipolar transistor 136 has the emitter thereof  
20 connected to the anode 132, the collector thereof connected to a node 144, and the base thereof connected to the node 140. A P-channel transistor 138 has the source thereof connected to the anode 132, and the drain thereof connected to the node 144. The gate of the transistor 138 is connected to the terminal pad 130, which is connected to the operating voltage  $V_{DD}$ . An NPN transistor 142 has the collector  
25 thereof connected to the node 140, the base thereof connected to the node 144, and the emitter thereof connected to the node 148. A resistor 146 of resistance  $R_T$  is connected between the node 144 and the node 148. A resistor 134 of resistance  $R_{PT}$  is connected between the terminal pad 132 and the node 140.

The node 148 of the SCR 128 is connected to a node 150 of the SCR 126. A resistor 152 of resistance  $R_q$  is connected between a node 150 and a node 156. A PNP transistor 154 has the emitter thereof connected to the node 150, the base thereof connected to the node 156, and the collector thereof connected to a node 162. An NPN transistor 160 has the collector thereof connected to the node 156, the base thereof connected to the node 162, and the emitter thereof connected to a node 166. A resistor 164 of resistance  $R_p$  is connected between the node 162 and the node 166. An N-channel transistor 158 has the drain and the gate thereof connected to the node 156 and the source thereof connected to the node 166. A resistor 164 of resistance  $R_p$  is connected between the node 162 and the node 166.

Referring now to FIGURE 6, there is illustrated a sectional view of an integrated circuit 170 which provides the protective circuit 124 depicted in FIGURE 5. The integrated circuit 170 includes a P-type substrate 172. A high voltage N-tank (HV-ntank) 174 is formed into the substrate 172. A low voltage P-tank (LV-ptank) 176 is formed into the HV-ntank 174. An N<sup>+</sup> region 180 and a P<sup>+</sup> region 182 are formed into the HV-ntank 174, and are both connected to a terminal pad 184, which provides an anode. A P<sup>+</sup> region 186 is formed across the junction between the HV-ntank 174 and the LV-ptank 176. The P<sup>+</sup> region 182, the P<sup>+</sup> region 186 and a gate electrode 188 together define a P-channel transistor in the HV-ntank 174. The gate electrode 188 is connected to a terminal pad 190. An N<sup>+</sup> region 192 and a P<sup>+</sup> region 194 are formed into the LV-ptank 176. The N<sup>+</sup> region 192 and the P<sup>+</sup> region 194 are both connected to a node 196, which is connected to a node 198.

A low voltage-N tank (LV-ntank) region 200 is formed into the substrate 172. An N<sup>+</sup> region 202 and a P<sup>+</sup> region 204 are formed into the LV-ntank 200. The N<sup>+</sup> region 202 and the P<sup>+</sup> region 204 are both connected to the node 198. An N<sup>+</sup> region 206 is formed across the junction between the substrate 172 and the LV-ntank region 200. An N<sup>+</sup> region 208 is formed into the substrate 172, and together with a gate

electrode 210 and the N+ region 206 provides an N-channel transistor. The gate electrode 210 is connected to a terminal pad 212, which in turn is tied to the N+ region 206. A P+ region 214 is formed into the substrate 172. The P+ region 214 and the N+ region 208 are connected to a node 216.

5 Referring now to FIGURES 5 and 6, the terminal pad 184 of the integrated circuit 170 corresponds to the terminal pad 132 of the SCR 128, and provides the anode for the protective circuit 124. The PNP transistor 136 is provided by the P+ region 182, the HV-ntank 174, and the LV-ptank 176. The P-channel transistor 138 is provided by the P+ region 182, the gate electrode 188, and the P+ region 186. The  
10 resistor 134 of resistance  $R_w$  is provided by the portion of HV-ntank 174 which extends from the N+ region 180 to the LV-ptank 176. The NPN transistor 142 is provided by the HV-ntank 174, the LV-ptank 176, and the N+ region 192. The resistor 146 of resistance  $R_p$  is provided by a portion of the LV-ptank 176 which extends from the HV-ntank 174 to the P+ region 194. The node 196 of FIGURE 6  
15 corresponds to the node 148 of FIGURE 5. The diode junction between the HV-ntank 174 and the substrate 172 isolates the SCR 128 from the substrate 172.

The SCR 126 has a node 150 which corresponds to the terminal pad 198 of the integrated circuit 170. The PNP transistor 154 has the emitter, the base and collector provided by the P+ region 204, the LV-ntank 200 and the substrate 172,  
20 respectively. The resistor 152 of resistance  $R_{w'}$  is provided by a portion of the LV-ntank 200, which extends from the N+ region 202 to a portion of the junction between the LV-ntank 200 and the substrate 172. The drain, the gate, and the source of the N-channel transistor 158 correspond to the N+ region 206, the gate electrode 210 and the N+ region 208, respectively. The collector, base, and emitter of the NPN  
25 transistor 160 correspond to the LV-ntank 200, the substrate 172, and the N+ region 208, respectively. The resistor 164 of resistance  $R_{p'}$  corresponds to a portion of the substrate 172, which extends from the LV-ntank 200 to the P+ region 214. The

terminal pad 216 of the integrated circuit 170 corresponds to the node 166 of the SCR 126.

In operation, the protective circuit 124 may be attached to an input pad to be protected as depicted for the SCR 68 in FIGURE 3. The operating voltage  $V_{DD}$  of the integrated circuit 170 will preferably be connected to the operating voltage terminal pad 130 of the protective circuit 124, although it can be connected to another voltage different than the operating voltage. The terminal pad 132 will be connected to a signal line of a circuit to be protected against damage by the high voltage of ESD events. When the voltage  $V_{DD}$  is not applied to the terminal pad 130 in a power-down condition, the SCR 128 will be triggered by a voltage which exceeds the threshold voltage  $V_T$  of transistor 138. When the voltage  $V_{DD}$  is applied to the integrated circuit 172, the voltage  $V_{DD}$  will be applied to the terminal pad 130. Then, the SCR 128 will be triggered by a voltage applied to the terminal pad 132 which exceeds the voltage  $V_{DD}$  applied to the terminal pad 130 by one threshold voltage  $V_T$ . Current will then flow through the P-channel transistor 138 to the node 144 and then through the resistor 146 to the node 148.

When the voltage on the anode 132 exceeds the voltage on the gate of transistor 138 by more than one threshold voltage, current will flow through resistor 146. Since the second SCR 126 is connected between node 148 and ground, current will then flow through resistor 152 to node 156 and through transistor 158. This will pull the base of transistor 154 low, turning on transistor 154 and passing current through resistor 164. Node 162 will rise, turning on transistor 160 and thereby latching SCR 126 and pulling node 148 to ground. This will in turn cause current to flow through resistor 146 at such a level that transistor 142 will be turned on, pulling node 140 low and turning on transistor 136 and causing SCR 128 to latch.

With the two series connected SCRs 128 and 126, control therefor is provided by the trigger voltage of the SCR 128, i.e., the trigger voltage is one threshold above the supply voltage or whatever voltage is connected to the pad 130. However, the holding voltage is the sum of the two holding voltage for the SCR 128 and the holding voltage for the SCR 126. As such, the holding voltage can exceed the power supply voltage. For example, a 3.3 volt technology part would have two stacked SCRs, each with a holding voltage of approximately 1.75 volts for a combined holding voltage of 3.5 volts, greater than the power supply voltage. Further, the holding voltage can be designed to be greater than the trigger voltage of the power supply voltage plus  $V_T$ . The holding voltage is a function of the  $\beta$  of the NPN and PNP transistors, this being a function of the product of the  $\beta$ s,  $f(\beta * \beta)$ .

Referring now to FIGURES 7, 8 and 9, there are illustrated graphs of current versus voltage for the SCR 128, the SCR 126, and the protective circuit 124, respectively. A curve 220 depicts a trigger voltage ( $V_{TR}$ ) for the SCR 128 as being at a point 222. The holding voltage ( $V_h$ ) for the SCR 128 is depicted at a point 224. The curve 226 depicts the trigger voltage ( $V_{TR}$ ) for the SCR 126 as being at a point 228 and the holding voltage ( $V_h$ ) for the SCR 126 as being at a point 230. Lastly, the curve 232 depicts the trigger voltage ( $V_{TR}$ ) and the holding voltage ( $V_h$ ) for the protective circuit 124 as being at points 234 and 236, respectively. As discussed above, the protective circuit 124 comprises the SCR 128 connected in series with the SCR 126. The  $V_{TR}$  for the protective circuit 124 is approximately equal to the  $V_{TR}$  for the SCR 128, which is depicted at point 222 in FIGURE 7. The  $V_h$  of the protective circuit 124 is depicted at point 236 and is approximately equal to the sum of the  $V_h$  for the SCR 126, which is depicted at point 230 in FIGURE 8, and the  $V_h$  of the SCR 128, which is depicted at the point 224 of FIGURE 7. Thus, the holding voltages for the SCRs 126 and 128, which are connected in series, are cumulative.

FIGURE 10 is a schematic block diagram depicting a protective circuit 238 which includes a plurality of isolated, low voltage SCRs (ILVSCRs), such as the SCR 68 and the SCR 128 of FIGURES 3 and 5, respectively. An ILVSCR 240 is connected in series with an ILVSCR 242. The terminal pads 244 and 246 are  
5 connected to the operating power voltage  $V_{DD}$  for the integrated circuit in which they are included. The terminal pads 244 and 246 correspond to the terminal pads 70 and 130 of FIGURES 3 and 5, respectively. The terminal pad 248 of the ILVSCR 240 would be connected directly to the signal line to be protected from ESD. The cathode of the ILVSCR 240, which corresponds to the node 88 of FIGURE 3, would  
10 be connected to the anode of the ILVSCR 242, which corresponds to the anode 132 of FIGURE 5. Other ILVSCRs may be included in series. Thus, the protective circuit 238 has a trigger voltage which is equal to the trigger voltage for a singular SCR, such as either of the SCRs 68 or 128, and would have a holding voltage which is equal to the sum of the holding voltages for the SCRs 240 and 242. Thus, the  
15 ILVSCRs 240 and 242, along with other SCRs, can be stacked in series, such that the holding voltage for the protective circuit 238 is cumulative.

In summary, there has been provided a protective circuit for protecting against the high voltage of ESD events. The protective circuit has a trigger voltage which is variable and automatically determined by the operating voltage applied to an  
20 integrated circuit within which the protected circuit of the present invention is included. The holding voltage of the protective circuit may be increased by selectively connecting a plurality of SCRs in series. Thus, a protective circuit is provided in which the trigger voltage is variable in response to the operating voltage being applied to the circuit, and the holding voltage may be selectively determined.

25 Although several embodiments of the invention have been described in detail, it should be understood that various changes, substitutions and alterations can be

17

made therein without departing from the spirit and scope of the invention as defined by the appended claims.

**WHAT IS CLAIMED IS:**

1. A protective circuit for preventing excessive voltages from being applied through a signal line to a protected circuit, the protective circuit comprising:  
a latch having at least an NPN transistor and a PNP transistor configured in at least a single SCR configuration with an anode and a cathode with the anode connected to the signal line and the cathode connected to a ground reference voltage wherein said latch, once latched, will release when the voltage falls below a holding voltage associated with said latch; and  
a trigger mechanism for triggering said latch, said triggering mechanism operated by a trigger voltage that is connected to a voltage separate from the anode of said latch.
2. The protective circuit of Claim 1, wherein said trigger voltage comprises the operating power supply voltage of the protected circuit.
3. The protective circuit of Claim 1, wherein the holding voltage is greater than the trigger voltage.
4. The protective circuit of Claim 1, wherein the holding voltage is adjustable by utilizing at least two series connected SCRs, each having at least an NPN transistor and a PNP transistor configured in an SCR configuration.



5. A protective circuit for preventing excessive voltages from being applied through a signal line to a protected circuit, the protective circuit comprising:

an anode connected to the signal line;

a cathode connected to a ground reference;

5 a P-channel transistor having the source thereof connected to said anode and the gate thereof connected to a trigger voltage separate from the voltage on the signal line;

10 a PNP transistor having a base, an emitter connected to both said anode line and the source of said P-channel transistor, and further having a collector connected to the drain of said P-channel transistor;

an NPN transistor having the emitter thereof connected to said cathode, the base thereof connected to the collector of said PNP transistor and the drain of said P-channel transistor, and the collector thereof connected to the base of said PNP transistor;

15 a first resistor connected between said anode and the base of said PNP transistor and the collector of said NPN transistor;

20 a second resistor connected between said cathode and the collector of said PNP transistor, the drain of said P-channel transistor and the base of said NPN transistor, with said PNP and NPN transistor and said first and second resistors configured as an SCR; and

wherein said P-channel transistor will conduct current through said second resistor to cause the voltage on the base of said NPN transistor to increase thus turning on said NPN transistor and pulling the base of said PNP transistor low to turn on said PNP transistor and latch said SCR.

6. The protective circuit according to Claim 5, wherein the gate of said P-channel transistor is connected to an operating voltage terminal of said protected circuit.

7. The protective circuit according to Claim 3, wherein said protective circuit is formed as part of an integrated circuit and contained within an N-tank, which is disposed within a P-type substrate to electrically isolate said protective circuit from other portions of said integrated circuit.

8. The protective circuit according to Claim 5, wherein said P-channel transistor, said PNP transistor, said NPN transistor, and said first and second resistors comprise a first SCR, and said protective circuit further comprises:

5 a second SCR connected in series with said first SCR, said first and second SCRs having a holding voltage associated therewith, such that a combined holding voltage of said protective circuit is approximately equal to the sum of the holding voltages of each of said first and second SCRs.

9. The protective circuit according to Claim 8, wherein said first and second SCRs are configured such that said combined trigger voltage of said protective circuit is approximately equal to the trigger voltage of one of said first and second SCRs.

10. The protective circuit according to Claim 8, wherein at least one of said first and second SCRs are isolated from the other portions of an integrated circuit within which said of least one SCR is included by being disposed within an N-tank disposed within a P substrate.

11. The protective circuit according to Claim 8, wherein:  
the gate of said P-channel transistor is connected to an operating voltage terminal of said protected circuit;

21

5        said protective circuit is formed as part of an integrated circuit and  
      contained within an N-tank, which is disposed within a P-type substrate to electrically  
      isolate said protective circuit from other portions of said integrated circuit; and  
      said first and second SCRs are configured such that the trigger voltage  
      of said protective circuit is approximately equal to the trigger voltage of one of said  
      first and second SCRs.

12. A protective SCR circuit having a cathode and an anode for preventing excessive voltages from being applied through a signal line to a protected circuit, the SCR protective circuit comprising:

- an N-tank formed in a P-type substrate;
- 5 a P-tank disposed within said N-tank;
- a first P+ region disposed within said P-tank;
- a first N+ region disposed within said P-tank;
- a second P+ region disposed in a bridging relationship to said P-tank and said N-tank such that said P+ region is disposed partially within both said P-tank and said N-tank;
- 10 a third P+ region disposed within said N-tank and spaced apart from said second P+ region to form a channel region;
- a gate disposed over said channel region and separated therefrom by a layer of gate oxide to define a P-channel transistor, said gate connectable to a trigger voltage that is separate from the anode;
- 15 a second N+ region disposed within said N-tank;
- a first pad connected to said first P+ region and said first N+ region to form the cathode of the SCR protective circuit;
- a second pad connected to said third P+ region and said second N+ region to form the anode of the SCR protective circuit;
- 20 wherein a resistive portion of said N-tank extends between said second N+ region and said P-tank, proximate to said third P+ region, for applying a positive bias voltage between said third P+ region and said N-tank in response to current of a first predetermined level passing therethrough; and
- 25 wherein a resistive portion of said P-tank extends between said first N+ region and said N-tank and between said first P+ region and said second P+ region for applying a negative bias voltage between said first N+ region and said N-tank in response to current of a second predetermined level passing therethrough.

13. The protective circuit according to Claim 12, wherein said gate is connected to an operating voltage terminal of said protected circuit.

14. A protective circuit for preventing high voltage from being applied through a signal line to a protected circuit, the protective circuit comprising:

5 a first SCR having a first holding voltage and an associated trigger voltage, a first anode and a first cathode, with said first anode being connected to said signal line;

a second SCR having a second holding voltage and an associated trigger voltage, a second anode and a second cathode, with said first anode being connected to said first cathode of said first SCR such that said first and second SCRs are connected in series; and

10 wherein said protective circuit has a trigger voltage defined by only the trigger voltage of said first SCR and a combined protective circuit holding voltage, with said combined protective circuit holding voltage comprising the cumulative sum of said first and second holding voltages.

15 15. The protective circuit of claim 14, wherein said combined protective circuit holding voltage is greater than said trigger voltage.

FIG. 1  
PRIOR ART

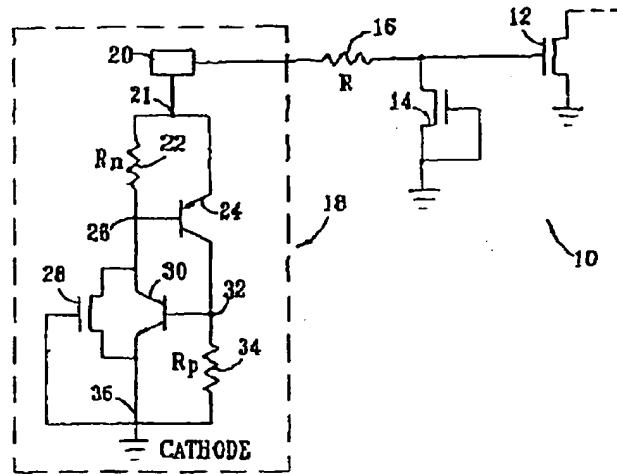


FIG. 2  
PRIOR ART

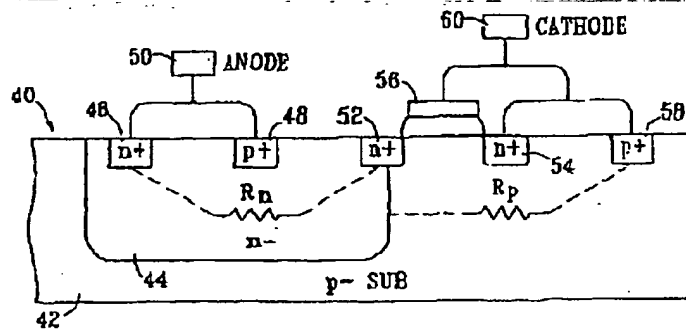


FIG. 3

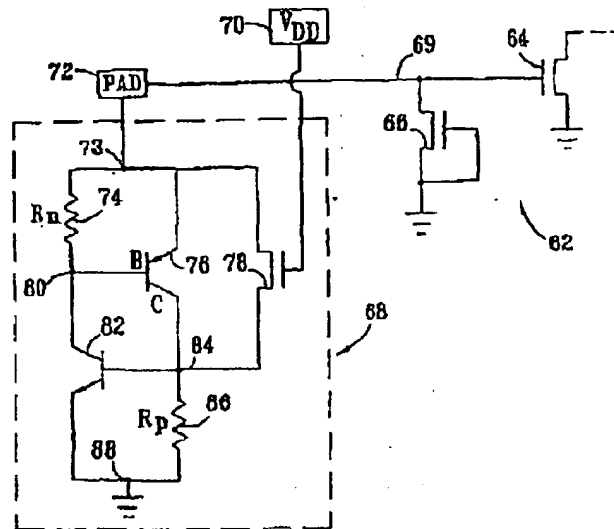
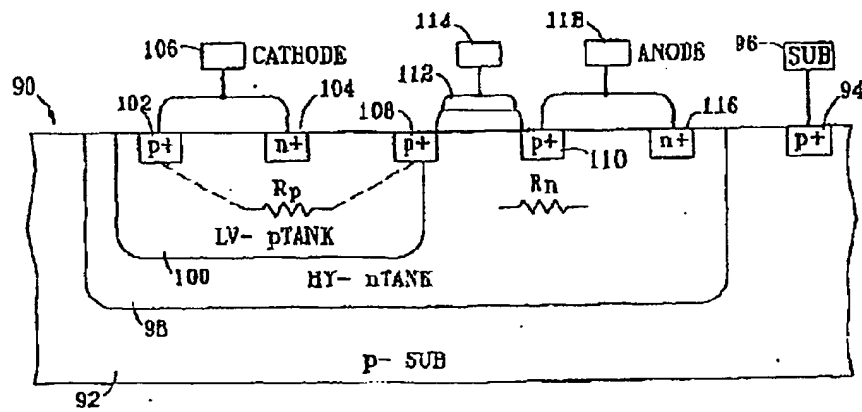


FIG. 4





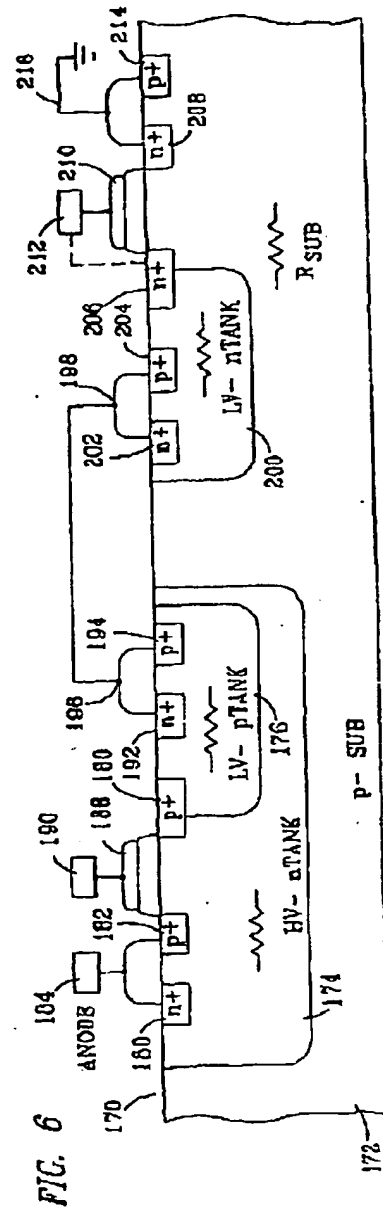
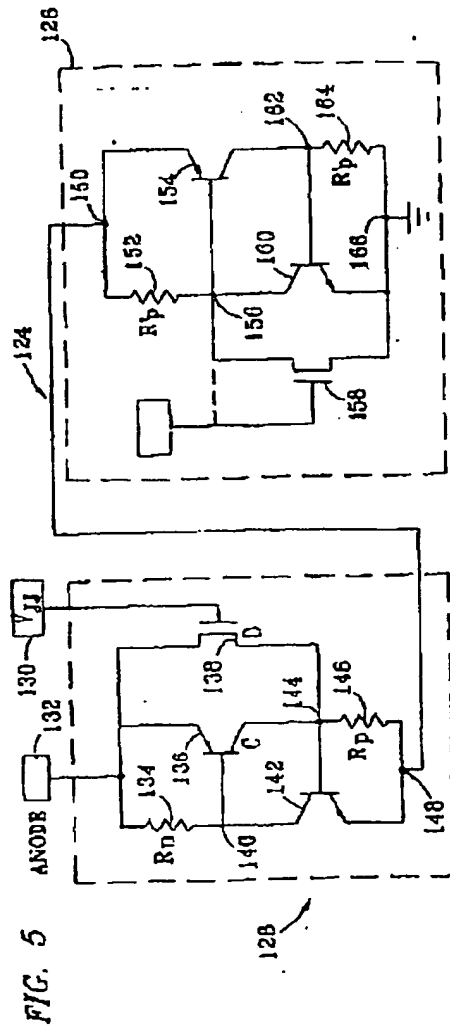


FIG. 7

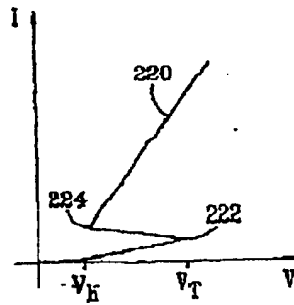


FIG. 8

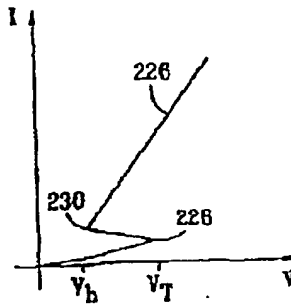


FIG. 9

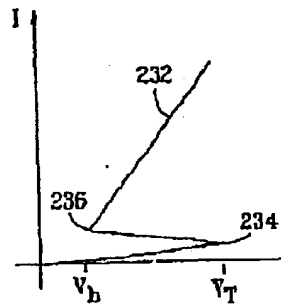
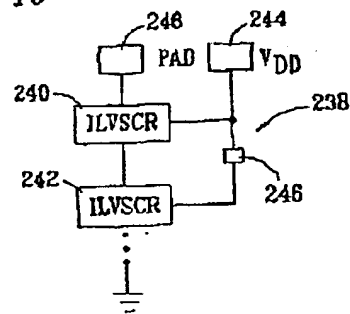


FIG. 10



## 1 Abstract

### STACKED SILICON-CONTROLLED RECTIFIER HAVING A LOW VOLTAGE TRIGGER AND ADJUSTABLE HOLDING VOLTAGE FOR ESD PROTECTION

#### ABSTRACT OF THE DISCLOSURE

5           An SCR (68) for protecting an integrated circuit (62) against ESD events is provided having a trigger voltage which is automatically adjusted to different trigger voltage levels in response to power being applied to the integrated circuit (62). An enhancement-type P-channel transistor (78) is provided for determining the trigger voltage. When operating power is not being applied to the integrated circuit (62), the P-channel transistor (78) threshold voltage determines the voltage at which the SCR (68) is triggered. When operating power is being applied to the integrated circuit (62), the operating voltage is applied to the gate of the P-channel transistor (78), and then the operating voltage and the threshold voltage for the P-channel transistor (78) determine the trigger voltage of the SCR (68). Then, a PNP and NPN transistor pair (76, 80) that form the SCR (68) are latched to shunt the protected signal path (69) to ground. The SCR (68) remains latched until the voltage applied to the signal path (69) falls beneath a holding voltage of the SCR (68). A plurality of the SCRs (126, 128) may be connected in series, such that the overall holding voltage for the series of SCRs (126, 128) is approximately equal to the sum of the individual holding voltages for the SCRs (126, 128), which overall holding voltage is greater than the trigger voltage. Preferably, the SCR (68) is isolated from the P substrate (92) by a P-N junction which is provided by disposing the SCR (68) within an N-tank (98).

## 2 Representative Drawing

Fig. 3

**THIS PAGE BLANK (USPTO)**